

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-289054

(43)Date of publication of application : 05.11.1993

(51)Int.Cl.

G02F 1/133

G02F 1/136

G09G 3/36

H01L 29/784

(21)Application number : 04-095172

(71)Applicant : TOSHIBA CORP

TOSHIBA ELECTRON ENG CORP

(22)Date of filing : 15.04.1992

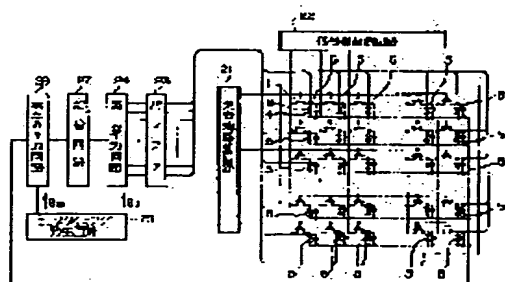
(72)Inventor : MATSUZAWA JUNJI

(54) ACTIVE MATRIX TYPE LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PURPOSE: To suppress remarkable deterioration of a picture quality generated by a level shift, etc., caused by the parasitic capacity of a TFT.

CONSTITUTION: The device is provided with plural monitor picture element electrodes 5 which are not related to a display, a signal line driving circuit 22 for sending out a monitor sample voltage for monitoring the potential of the monitor picture element electrode 5 to a switching element 1, a first averaging circuit 24 for monitoring and sum up the potential of plural monitor picture element electrodes 5 and averaging it by the number of pieces of the monitor picture element electrodes, a storage circuit 27 for storing the potential of the monitor picture element electrode 5 averaged by a first averaging circuit 24, extending over the time of one frame or more, and a second averaging circuit 28 for dividing the potential of the monitor picture element electrode 5 stored in the storage circuit 27 by the time and sending it out on an average timewise, and a counter electrode voltage is applied to a counter electrode 4.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-289054

(43)公開日 平成5年(1993)11月5日

(51)IntCl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/133	5 5 0	7820-2K		
1/136	5 0 0	9018-2K		
G 0 9 G 3/36		7319-5G		
H 0 1 L 29/784				
	9056-4M		H 0 1 L 29/ 78	3 1 1 E
			審査請求 未請求	請求項の数1(全 7 頁)

(21)出願番号 特願平4-95172

(22)出願日 平成4年(1992)4月15日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(71)出願人 000221339

東芝電子エンジニアリング株式会社

神奈川県川崎市川崎区日進町7番地1

(72)発明者 松澤 順二

神奈川県川崎市幸区堀川町72番地 東芝電子エンジニアリング株式会社内

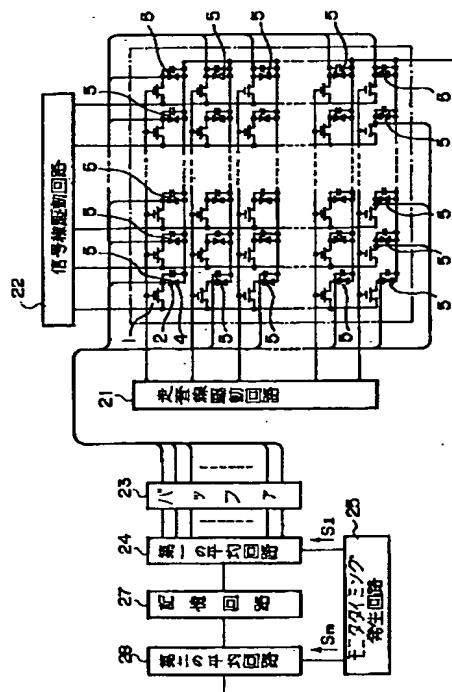
(74)代理人 弁理士 須山 佐一

(54)【発明の名称】 アクティブマトリックス型液晶表示装置

(57)【要約】

【目的】 TFTの寄生容量CGSに起因するレベルシフトΔVなどによって発生していた画質の著しい劣化を抑える。

【構成】 表示に係らない複数のモニタ用画素電極5と、前記モニタ用画素電極5の電位をモニタするためのモニタ用サンプル電圧を前記スイッチング素子1に送出する信号線駆動回路22と、前記複数のモニタ用画素電極5の電位をモニタして合計し前記モニタ用画素電極5の個数で平均する第1の平均回路24と、前記第1の平均回路24で平均されたモニタ用画素電極5の電位を1フレーム以上の時間にわたって記憶する記憶回路27と、前記記憶回路27に記憶されたモニタ用画素電極5の電位を該時間で除算し時間的に平均して送出する第2の平均回路28とを具備して、前記対向電極4に対向電極電圧を印加する。



【特許請求の範囲】

【請求項1】 マトリックス状に交差して配置される複数の走査線および複数の信号線と前記走査線および前記信号線の交差部ごとに配置されその各々に接続されるスイッチング素子と前記スイッチング素子に接続される画素電極と、前記画素電極に液晶を介して対向する対向電極と、前記走査線を線順次に選択して走査電圧を印加する走査線駆動回路と、前記信号線に極性反転基準電位を中心極性反転する表示信号を書き込む信号線駆動回路とを有するアクティブマトリックス型液晶表示装置において、

表示に係らない少なくとも1つのモニタ用画素電極と、前記表示信号の極性反転基準電位を中心極性反転するモニタ用サンプル電圧をモニタ用画素電極の接続する前記スイッチング素子に送出する信号線駆動回路と、前記モニタ用サンプル電圧が少なくとも1回の極性反転を行なう間の前記モニタ用画素電極の電位を時間的に平均し前記対向電極に対向電極電圧として送出する平均回路とを具備することを特徴とするアクティブマトリックス型液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はアクティブマトリックス型液晶表示装置に関する。

【0002】

【従来の技術】 液晶表示装置は、テレビやグラフィックディスプレイなどの表示装置として盛んに用いられている。そのなかでも特に急峻なオン・オフ特性を有しスイッチング素子として好適な薄膜トランジスタ（以下、TFT; Thin Film Transisterと略称）を用いたアクティブマトリックス型液晶表示装置は、高速応答性を有し、多画素化に適しており、ディスプレイ画面の多画素化、大型化、画面の高精細なカラー化等を実現するものとして期待され、開発が進められて実用化されるに至ったものもある。

【0003】 このTFTアクティブマトリックス型液晶表示装置の一例を図4に示す。複数行（ n 本）の走査線 $Y1$ 、 $Y2$ 、 $Y3$ 、 $\dots Yn$ と、複数列（ m 本）の信号線 $X1$ 、 $X2$ 、 $X3$ 、 $\dots Xm$ とが、直角に交差するように列設され、その交差部のそれぞれにTFT401、画素電極402、補助容量413が接続され、前記の画素電極402と対向基板側の対向電極404との間に液晶層403を挟持して液晶セル405の主要部が構成されている。そして同一行上に位置するTFT1のゲート電極がそれぞれ共通の走査線 $Y1$ 、 $Y2$ 、 $Y3$ 、 $\dots Yn$ に、また同一列上に位置するTFT1のドレイン（またはソース）電極がそれぞれ共通の信号線 $X1$ 、 $X2$ 、 $X3$ 、 $\dots Xm$ に、各々接続されている。さらに、その複数行の走査線 $Y1$ 、 $Y2$ 、 $Y3$ 、 $\dots Yn$ は走査線駆動回路406に、また複数列の信号線 $X1$ 、 $X2$ 、 $X3$ 、 $\dots Xm$ は

信号線駆動回路407に、それぞれ接続されている。

【0004】 上記走査線駆動回路406は、その入力端子408、409に供給される垂直走査スタートパルスおよび垂直シフトクロックパルスより走査信号を作り、走査線 $Y1$ 、 $Y2$ 、 $Y3$ 、 $\dots Yn$ を線順次に走査する。また、信号線駆動回路407は、その入力端子410、411に供給される水平スタートパルスおよび水平シフトクロックパルスよりサンプルパルスを作り、他の入力端子412に供給される1フレームごとに極性が反転する表示信号（画像データ信号）をサンプルホールドして信号線 $X1$ 、 $X2$ 、 $X3$ 、 $\dots Xm$ にそれを供給する。そして各画素に対応するTFT401では、走査線を介して接続するゲートに前記の走査線駆動回路406から走査パルスとしてゲート電圧が印加されると、TFT401はオンの動作を行ないドレイン・ソース間が導通して、信号線駆動回路407から信号線に接続するドレイン（またはソース）を介してソース（またはドレイン）に接続された画素電極に表示信号を印加し、液晶層403および補助容量413にそれを書き込む。

【0005】 図5は、上記図4に示すようなTFTアクティブマトリックス型液晶表示装置の駆動電圧波形図である。

【0006】 同図（a）の Vx は、信号線 $X1$ 、 $X2$ 、 $X3$ 、 $\dots Xm$ に供給される表示信号電圧の一例を示している。また Vy は、走査線 $Y1$ 、 $Y2$ 、 $Y3$ 、 $\dots Yn$ に供給される走査信号電圧の一例を示している。

【0007】 前記の表示信号電圧 Vx は、1フレーム（ Tf ）ごとに極性反転基準電圧 VB を基準として極性が反転する。また、同図（b）に示した Vp は画素電極402および補助容量413に書き込まれ保持される画素電圧、 Vc は対向電極404に印加される対向電極電圧である。画素電極402の画素電圧 Vp と対向電極404の対向電極電圧 Vc とが重畳して液晶層403に印加され保持される。

【0008】 ところで、走査線電圧 Vy および表示信号電圧 Vx がTFT1に入力されると、上記のように Vy の立ち上がりの際に表示信号電圧が画素電極402等へ書き込まれる。しかしTFT1のゲート・ソース（またはドレイン）間の寄生容量 C_{GS} により、 Vy の立ち下がりの際にレベルシフト ΔV が発生し、画素電極402および補助容量413に書き込まれ保持される画素電圧 Vp は、 $Vp = Vc + Vx - \Delta V$ （またはその極性反転時には $Vc - Vx - \Delta V$ ）となる。

【0009】 このように、TFT1に入力される前の表示信号電圧 Vx は、TFT1の寄生容量 C_{GS} に起因するレベルシフト ΔV により、図5（b）に示す例では負方向に低下した電圧値を有する画素電圧 Vp として画素電極402に印加されることになる。即ち、表示信号電圧 Vx が図5（a）に示すように極性反転基準電圧 VB に対して正極側と負極側とで同振幅であっても、画素電圧

3

V_p は対向電極電圧 V_c に対して正極側と負極側とでは振幅が異なり、同図の例では画素電圧 V_p が負方向にずれていることになる。その結果、正極側の表示電圧印加時と負極側の表示電圧印加時とで表示にちらつきが生じるなどの表示欠陥が発生し、画質を著しく劣化させるという問題がある。

【0010】また、TFTの寄生容量CGSに起因するレベルシフト ΔV だけでなく、TFTのOFF期間（保持期間）のリーク電流に起因する補助容量413や液晶層403からの保持電荷の流出により画素電圧 V_p が漸次低下してゆき所定の表示が実現できなくなり、表示画質が著しく劣化するという問題がある。

【0011】そこで、このような問題を解決する方法として、あらかじめROMなどにTFTの寄生容量CGSに起因するレベルシフト ΔV や、保持期間のリーク電流に起因する画素電圧 V_p の低下の情報などを記憶させておき、これに基づいて画素電圧 V_p を補正する補正手段を設けて、画素電圧 V_p の対向電極電圧 V_c に対してのずれを補正するような技術が考案されている。

【0012】しかしながら、そのような補正手段は、装置が煩雑なものとなり、小型化や省電力化等の進む液晶表示装置にあっては実用的ではないという問題がある。また、TFTの寄生容量CGSに起因するレベルシフト ΔV や、TFTの構造に起因するリーク電流は、TFTの使用環境の影響を受けやすく、特に温度変化によりその特性が変化しやすいことが知られている。このため、前記のようにROMなどに画素電圧 V_p を補正する情報を記憶させておいた場合では、実際のレベルシフト ΔV やリーク電流が、あらかじめROMに設定しておいた値とは異なったものとなり、画素電圧 V_p を正確には補正できず、やはり表示画質が著しく劣化するという問題がある。

【0013】

【発明が解決しようとする課題】このように、従来の技術に係るTFTアクティブマトリックス型液晶表示装置においては、TFTの寄生容量CGSに起因するレベルシフト ΔV だけでなく、保持期間のリーク電流に起因する補助容量や液晶層からの保持電荷の流出により画素電圧 V_p が漸次低下してゆき所定の表示が実現できなくなり、表示画質が著しく劣化するという問題があった。本発明は、このような問題を解決するために成されたもので、その目的は、TFTの寄生容量CGSに起因するレベルシフト ΔV や、TFTの構造に起因するリーク電流によって発生していた画素電圧 V_p の変動を、TFTの特性が温度変化により変化しても正確に補正して表示画質の著しい劣化を抑え、高画質の表示を実現するTFTアクティブマトリックス型液晶表示装置を提供することにある。

【0014】

【課題を解決するための手段】上記のような問題を解決

4

するために、本発明のアクティブマトリックス型液晶表示装置は、マトリックス状に交差して配置される複数の走査線および複数の信号線と前記走査線および前記信号線の交差部ごとに配置されその各々に接続されるスイッチング素子と前記スイッチング素子に接続される画素電極と、前記画素電極に液晶を介して対向する対向電極と、前記走査線を線順次に選択して走査電圧を印加する走査線駆動回路と、前記信号線に極性反転基準電位を中心に極性反転する表示信号を書き込む信号線駆動回路とを有するアクティブマトリックス型液晶表示装置において、表示に係らない少なくとも1つのモニタ用画素電極と、前記表示信号の極性反転基準電位を中心に極性反転するモニタ用サンプル電圧をモニタ用画素電極の接続する前記スイッチング素子に送出する信号線駆動回路と、前記モニタ用サンプル電圧が少なくとも1回の極性反転を行なう間の前記モニタ用画素電極の電位を時間的に平均し前記対向電極に対向電極電圧として送出する平均回路とを具備することを特徴としている。

【0015】また、前記の極性反転するモニタ用サンプル電圧の電位としては、例えば表示の実効電圧の平均値程度の電位としてもよく、あるいは数種類の電位を数フレームにわたって交替して用いるようにしてもよい。例えば、第1フレームでは実効電圧内の最高の電圧値を、第2フレームでは実効電圧内の中間的な電圧値を、第3フレームでは実効電圧内の最低の電圧値を、というように3種類の電圧を交替に用いて、信号線駆動回路から各モニタ用画素電極の接続するスイッチング素子に送出するようにしてもよい。ただし、このモニタ用サンプル電圧は、直流電圧では液晶の劣化が助長されるという問題や、レベルシフト ΔV に起因する画素電極電圧の反転基準電圧の変動をモニタリングすることができないので、極性反転することが必要である。

【0016】また、モニタ用画素電極は、表示に係る画素電極と同様の液晶セル構造とすることが好ましい。例えば、同一基板上の表示に係る画素電極の周囲に該画素電極と同様の液晶セル構造のものとして配設し、その配線だけは上記のようにモニタ用画素電極の電圧のモニタリングができるように平均回路等に接続するようにしてもよい。

【0017】

【作用】前記の複数のモニタ用画素電極で、前記のスイッチング素子の寄生容量などによる電圧レベルシフト ΔV やリーク電流による保持電圧が低下した状態の画素電極の該画素電極の電位をモニタリングする。それにより得られた該画素電極の電位を第1の平均回路にてモニタ用画素電極の個数で平均し、かつ第2の平均回路にてモニタリング時間で平均して、対向電極にその平均した電圧を印加する。このようにして、対向電極には、前記のスイッチング素子の寄生容量などによる電圧レベルシフト ΔV やリーク電流により低下した状態の画素電極電位

に対応した対向電極電圧が得られるので、対向電極の電位と画素電極の電位のずれに起因する表示不良を解消することができる。

【0018】

【実施例】以下、本発明の一実施例を、図面に基づいて詳細に説明する。

【0019】図1は、本発明のTFTアクティブマトリックス型液晶表示装置の構成を示す図、図2はそのバッファ回路23と第1の平均回路24と記憶回路27と第2の平均回路28の回路構成を示す図である。この液晶表示装置は、液晶パネル20、走査線駆動回路21、信号線駆動回路22、バッファ23、第1の平均回路24、モニタタイミング発生回路25、記憶回路27、第2の平均回路28からその主要部が構成されている。

【0020】液晶パネル20は、複数行($n+2$ 本)の走査線 Y_0 、 Y_1 、 Y_2 、 Y_3 、 \dots 、 Y_n 、 Y_{n+1} と、複数列($m+2$ 本)の信号線 X_0 、 X_1 、 X_2 、 X_3 、 \dots 、 X_{m+1} とが、直角に交差するように列設され、その交差部のそれぞれにTFT1、画素電極2、補助容量13が接続され、前記の画素電極2と対向基板側の対向電極4との間に液晶層3を挟持して液晶セルの主要部が構成されている。そして同一行上に位置するTFT1のゲート電極がそれぞれ共通の走査線 Y_0 、 Y_1 、 Y_2 、 Y_3 、 \dots 、 Y_{n+1} に、また同一列上に位置するTFT1のドレイン(またはソース)電極がそれぞれ共通の信号線 X_0 、 X_1 、 X_2 、 X_3 、 \dots 、 X_{m+1} に、各々接続されている。さらに、その複数行の走査線 Y_0 、 Y_1 、 Y_2 、 Y_3 、 \dots 、 Y_{n+1} は走査線駆動回路21に、また複数列の信号線 X_0 、 X_1 、 X_2 、 X_3 、 \dots 、 X_{m+1} は信号線駆動回路22に、それぞれ接続されている。

【0021】この液晶パネル20において実際に表示に係る画素は、走査線 Y_1 、 Y_2 、 Y_3 、 \dots 、 Y_n と信号線 X_1 、 X_2 、 X_3 、 \dots 、 X_m との交差部で走査線と信号線の $m \times n$ 個のマトリックス状に並んだ画素で、この $m \times n$ 個の画素の周囲を囲むような位置にある画素、即ち走査線 Y_0 と信号線 X_0 、 X_1 、 X_2 、 X_3 、 \dots 、 X_{m+1} との交差部の各画素、走査線 Y_{n+1} と信号線 X_0 、 X_1 、 X_2 、 X_3 、 \dots 、 X_{m+1} との交差部の各画素、信号線 X_0 と走査線 Y_0 、 Y_1 、 Y_2 、 Y_3 、 \dots 、 Y_{n+1} との交差部の各画素、信号線 X_{m+1} と走査線 Y_0 、 Y_1 、 Y_2 、 Y_3 、 \dots 、 Y_{n+1} との交差部の各画素が、表示には直接関与することなく画素電極への電圧印加状態をモニタするモニタ画素5である。これらのモニタ画素5には、その画素電極の電圧状態をモニター可能なように、図1に示すような引き出し線29として、 $P_{0,0}$ 、 $P_{1,0}$ 、 $P_{2,0}$ 、 \dots 、 $P_{m+1,0}$ と、 $P_{0,n+1}$ 、 $P_{1,n+1}$ 、 $P_{2,n+1}$ 、 \dots 、 $P_{m,n+1}$ と、 $P_{0,1}$ 、 $P_{0,2}$ 、 \dots 、 $P_{0,n+1}$ と、 $P_{m+1,1}$ 、 $P_{m+1,2}$ 、 \dots 、 $P_{m+1,n}$ が接続されている。

【0022】これらの引き出し線29は、バッファ回路23に一旦接続され、これを介して第1の平均回路24

に入力される。バッファ回路23は、モニタ画素の電位に影響を与えないように入力インピーダンスの高い回路構成としている。

【0023】第1の平均回路24は、バッファ回路23を介して送られてきたモニタ画素5の画素電極電圧を、モニタタイミング発生回路25からの図3に示すようなタイミング信号 S_1 に同期してスイッチ30を導通させ、1走査タイミング $T_f/n+2$ (Y_0 、 Y_1 、 \dots 、 Y_{n+1} までの各走査線の選択時間)ごとに全てのモニタ画素5の画素電極電圧をモニタリングし、そのモニタ画素5の総数で平均して、記憶回路27に送出する。即ちこの第1の平均回路24は、モニタ画素5の総数と等しい個数のスイッチ(S_1)30および抵抗(R_1)32と抵抗(R_2)33を有する加算回路31からその主要部が構成され、抵抗(R_1)32と抵抗(R_2)33の抵抗値の比を $R_1 : R_2 = \text{モニタ画素数} : 1$ の比率とすることで、前記のようにモニタ画素5からモニタリングした画素電極電圧をそのモニタ画素5の総数で平均している。

【0024】記憶回路27は、積分回路で構成されており、第1の平均回路24から送出されるモニタ画素5の平均化された画素電極電圧を、図3(a)のモニタ用電圧パターンが1ストローク終了するまでの $2 \times T_f \times L$ の時間、順次加算しながら保存する。そしてモニタ用電圧パターンの1ストロークが終了する $2 \times T_f \times L$ のタイミングごとにモニタタイミング発生回路25からのタイミング信号 S_m に同期してスイッチ(S_2)34を導通させ、 $2 \times T_f \times L$ の期間に順次加算されながら保存されていた画素電極電圧の和をモニタ回数で平均する。具体的には、同図の抵抗(R_4)35と抵抗(R_5)36の抵抗値の比を $R_4 : R_5 = \text{モニタ回数} : 1$ の比率とすることで、前記のモニタ画素1画素あたりに平均した画素電極電圧値をそのモニタ回数で平均して、モニタ用電圧パターンが1ストローク終了するまでの $2 \times T_f \times L$ 時間における平均値を取っている。そしてそれを対向電極4に送出する。そして対向電極4は上記のようにして平均化された電圧を液晶層3に印加する。

【0025】図3は、この液晶表示装置の各部における電圧波形を示す図である。

【0026】図3(a)は前記のモニタ画素5に印加されるモニタ用電圧である。図3(b)から(f)は、走査線駆動回路6から走査線 Y_0 、 Y_1 、 Y_2 、 Y_3 、 \dots 、 Y_{n+1} に線順次に印加される走査パルスである。また図3(g)から(k)は、それぞれ走査線 Y_0 から Y_{n+1} に接続されているモニタ画素5の画素電極電圧 V_p を示す。

【0027】液晶パネル20において、通常の画像表示に係る $m \times n$ 個の画素には、通常と同様に画像表示を行なうような走査パルスと表示信号電圧が印加されて駆動される。

【0028】一方、モニタ画素5には、図3(a)に示すような3種類の電圧値が設定されその各々が基準電圧VBに対して正極側と負極側に極性反転するモニタ用電圧Vmが、TFT1のゲートに走査パルスが印加されてTFT1がオンになるタイミングごとに印加される。即ち、走査線Y0に接続されたモニタ画素には走査線Y0選択時に同期してモニタ用電圧Vmが印加され、走査線Yn+1に接続されたモニタ画素には走査線Yn+1選択時に同期してモニタ用電圧Vmが印加され、その他のY1からYnの走査線選択時、即ち画像表示に係るm×n配列の画素の選択時には、通常の画像表示用電圧が印加されるように、信号線駆動回路22が配設されている。また信号線X0に接続されたモニタ画素および信号線Xm+1に接続されている各モニタ画素には、信号線X0、Xm+1から常にモニタ用電圧Vmが送出されているので、走査タイミングごとにY0、Y1、Y2、Y3、…Yn+1の順でモニタ用電圧Vmが順次印加される。

【0029】そして全モニタ画素5の電極電圧をモニタし、上記のようにしてTFTのレベルシフトΔVやリーク電流による保持電圧の低下を含めたモニタ画素5の電極電圧の総平均をとり、これを対向電極4に印加して対向電極電圧Vcとしている。このようにして、モニタ画素の電極電圧の変動の状態を随時測定しながら、対向電極4に印加すべき対向電極電圧Vcの値をそれに合わせて随時変更して、TFT1の特性が温度変化により変化しても正確に補正し表示画質の著しい劣化を抑えて、高画質の表示を実現することができる。

【0030】なお、前記のモニタ用電圧Vmは、本実施例においては6フレーム周期を用いており、それぞれ1フレームずつの最大の電圧と中間の電圧と実効値内の最小の電圧の3種類の電圧を、基準電位に対して正極性と負極性の2フレームずつを一組として、合計6フレームで1ストロークとなるような波形としているが、これには限定しない。モニタ用電圧Vmの1ストロークの長さは、6フレーム以上でもよく、以下でもよい。ただし余りに長いと表示画像に影響してフリッカなどの表示不良の原因となり好ましくなく、また余りに短いと十分なモニタリングができない場合がある。ただし、表示信号の極性反転基準電圧VBを中心に極性反転していることが必要である。また、モニタ用電圧Vmの波形は、さらに多種類の電圧を用いて、よりきめこまかくモニタリングすることもできる。ただしこの場合にも、1種類の電圧あたりに1フレームを割り当てているので、余りに多種類の電圧を用いると、モニタリングの時間が長くなって画像表示時間を圧迫し、前記のようなフリッカなどの表示不良が発生する原因となり好ましくない。

【0031】また、配設するモニタ用画素も、本実施例

のような配置には限定しない。例えば、液晶パネル20の四隅だけに設け、この4つのモニタ用画素を上記の実施例に示したような要領で用いてもよい。あるいは、一か所だけに設けてもよい。この場合、上記の実施例と比較すれば、その精度は低くなるものの、液晶パネル20のTFT1の特性によっては、4つのモニタ用画素やただ1つのモニタ用画素でのモニタリングだけで十分な場合もあり、またそのときの回路構成なども上記の実施例と比較して、より簡易なものとすることもできる場合がある。

【0032】

【発明の効果】以上の詳細な説明で明示したように、本発明の装置は、TFTの寄生容量CGSに起因するレベルシフトΔVや、TFTの構造に起因するドレイン・ゲート間のリーク電流によって発生していた画素電圧Vpの変動などTFTの特性が温度変化により変化しても正確に補正することができ、また同一ロット内の同仕様の装置どうしの間でも特性にばらつきがある場合にも、そのばらつきに関わりなく正確に画素電極側の電圧中心値と対向電極側の印加電圧値とのずれを解消し表示画質の著しい劣化を抑えて、高画質の表示を実現するTFTアクティブマトリックス型液晶表示装置である。

【図面の簡単な説明】

【図1】本発明のTFTアクティブマトリックス型液晶表示装置の構成を示す図。

【図2】本発明のTFTアクティブマトリックス型液晶表示装置のバッファ回路23と第1の平均回路24と記憶回路27と第2の平均回路28の回路構成を示す図。

【図3】本発明のTFTアクティブマトリックス型液晶表示装置の各部における電圧波形を示す図。

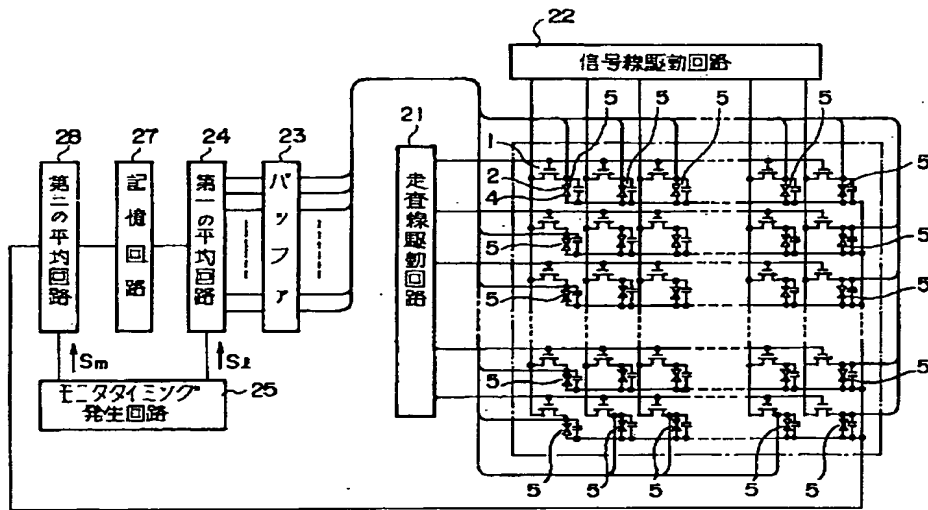
【図4】従来のTFTアクティブマトリックス型液晶表示装置の一例を示す図。

【図5】従来のTFTアクティブマトリックス型液晶表示装置の駆動電圧波形を示す図。

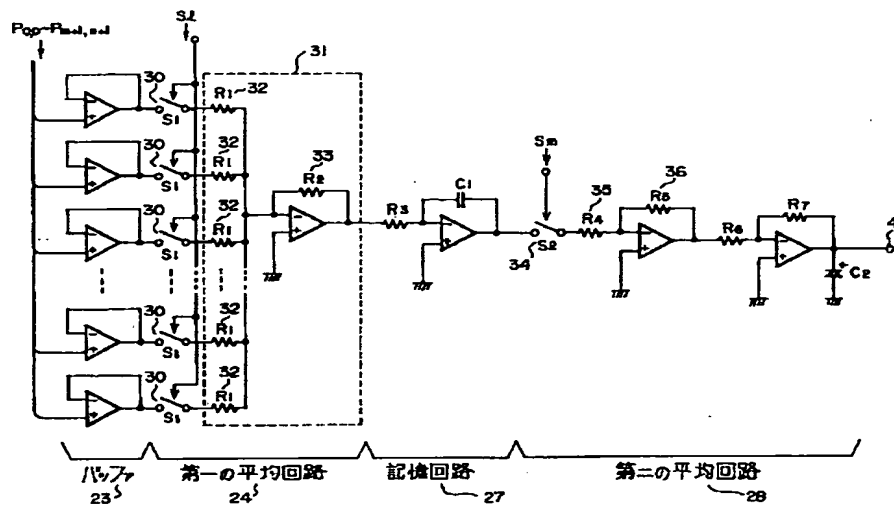
【符号の説明】

- 1…TFT
- 2…画素電極
- 3…液晶層
- 4…対向電極
- 5…モニタ画素
- 21…走査線駆動回路
- 22…信号線駆動回路
- 23…バッファ
- 24…第1の平均回路
- 25…モニタタイミング発生回路
- 27…記憶回路
- 28…第2の平均回路

【図1】



【図2】



【図5】

